



**DEUTSCHES
PATENTAMT**

21 Aktenzeichen: 197 01 937.4
22 Anmeldetag: 21. 1. 97
23 Offenlegungstag: 31. 7. 97

DE 19701937 A1

30 Unionspriorität: 1803/96 27.01.96 KR

⑦ Anmelder:

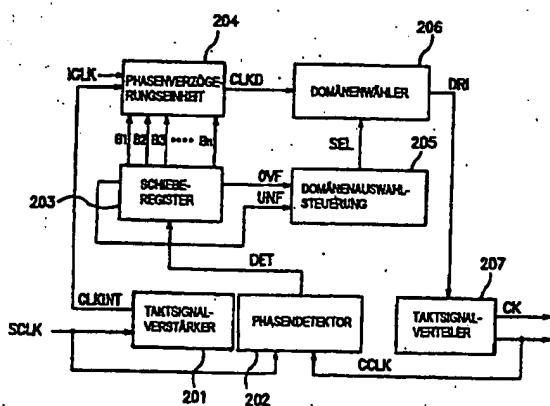
74 Vertreter:
Patent- und Rechtsanwälte Wuesthoff & Wuesthoff,
81541 München

72 Erfinder:

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Korrekturvorrichtung für Phasenverzögerungen

⑦ Ein digitaler Verzögerungsregelkreis (DLL) enthält einen Phasendetektor (202) zum Ausgeben eines Vergleichssignals (DET) durch Vergleichen eines Systemtaktsignals (SCLK) mit einem Chiptaktsignal (CCLK), ein Schieberegister (203) zum aufeinanderfolgenden Schieben von Datenbitwerten in beide Richtungen gemäß dem Vergleichssignal (DET), eine Phasenverzögerungseinheit (204) zum Verzögern und Ausgeben des Systemtaktsignals gemäß jedem Bitwert vom Schieberegister (203), eine Domänenauswahlsteuerung (205) zum Detektieren eines Überlauf- oder Unterlaufzustands des Schieberegisters (203) und zum Ausgeben eines Domänenauswahlsteuersignals (SEL) und einen Domänenwähler (206) zum Einstellen der Phase eines Treibersignals aus einem 0° - 180° umfassenden Bereich und in einen anderen 180° - 360° umfassenden Bereich und zum Ausführen eines Domänenübergangs, immer wenn ein Überlauf- oder Unterlaufzustand erzeugt wird, wenn die Phase einen Grenzbereich der beiden Domänen erreicht.



Beschreibung

1. Bereich der Erfindung

Die vorliegende Erfindung betrifft einen digitalen Phasenverzögerungsregelkreis (DLL) und besonders eine verbesserte Korrekturvorrang für Phasenverzögerungen die durch Anwenden eines Domänen-Klassifizierungskonzepts in der Lage ist, mit einer minimalen Anzahl von Verzögerungseinheiten eine präzise Auflösung und einen unbeschränkten Verzögerungsbereich zu verwirklichen.

2. Beschreibung des Stands der Technik

Wie in Fig. 1 gezeigt, beinhaltet eine herkömmliche Korrekturvorrang für Phasenverzögerungen einen Phasendetektor (101) zum Ausgeben eines Vergleichssignals (RL) durch Vergleichen der Phase eines Chiptaktsignals (CCLK) auf der Grundlage eines Systemtaktsignals (SCLK) einer Phasen-Einstelleinheit (102) zum Ausgeben eines in der Phase eingestellten Taktsignals (YCLK) durch aufeinanderfolgendes Verzögern des Systemtaktsignals (SCLK) gemäß dem Vergleichssignal des Phasendetektors (101) und einen Taktsignalverteiler (103) zum Liefern des in der Phase eingestellten Taktsignals (YCLK) an das Innere eines Chips durch Verteilen des in der Phase eingestellten Taktsignals (YCLK) der Phasen-Einstelleinheit (102) und zum Zurückführen des in der Phase eingestellten Taktsignals (YCLK) zum Phasendetektor (101) als das Chiptaktsignal (CCLK).

Wie in Fig. 2 gezeigt beinhaltet die Phasen-Einstelleinheit (102) ein Schieberegister (41), um die Daten "1" synchron mit dem Taktsignal (CLK) um ein Bit nach rechts von der Eingangsseite (DR) zu schieben, wenn das Vergleichssignal (RL) des Phasendetektors (101) "1" ist, und um die Daten "0" synchron mit dem Systemtaktsignal (SCLK) um ein Bit nach links von der Eingangsseite (DL) zu schieben, wenn dessen Vergleichssignal (RL) "0" ist, und eine Vielzahl von Verzögerungseinheiten (42-1, 42-2, ..., 42-n) zum Ausgeben eines in der Phase eingestellten Taktsignals (YCLK) durch aufeinanderfolgendes Verzögern des Systemtaktsignals (SCLK) gemäß jedem Bitwert (B1 ... Bn) des Schieberegisters (41).

Die Vielzahl von Verzögerungseinrichtungen (42-1, 42-2, ..., 42-n) enthält erste Inverter (1) jeweils zum Invertieren eines Systemtaktsignals, erste Durchlaßgatter (2), die parallel zu den Ausgangsanschlüssen der ersten Inverter (1) geschaltet sind und die angeschaltet werden, wenn der entsprechende Bitwert des Schieberegisters (12) "1" ist, zweite Durchlaßgatter (3), deren Ausgangsanschlüsse gemeinsam mit den Ausgangsanschlüssen der ersten Durchlaßgatter (2) verbunden sind und die angeschaltet werden, wenn der entsprechende Bitwert des Schieberegisters (12) "1" ist, und zweite Inverter (4) zum Ausgeben des in der Phase eingestellten Taktsignals (YCLK) durch Invertieren der durch das erste Durchlaßgatter (2) eingegebenen Ausgaben der ersten Inverter (1) oder des Taktsignals, das durch das zweite Durchlaßgatter (3) von der nachfolgenden Verzögerungseinheit zurückgeführt wird.

In der letzten Verzögerungseinheit (42-n) sind zwei Inverter (5, 6) zusätzlich zwischen den ersten Inverter (1) und das zweite Durchlaßgatter (3) in Reihe geschaltet.

Mit Bezug auf Fig. 1 und Fig. 2 wird nun die Arbeits-

weise der herkömmlichen Korrekturvorrang für Phasenverzögerungen ausführlich beschrieben.

Der Phasendetektor (101) vergleicht die Phase des Systemtaktsignals (SCLK) mit der Phase des Chiptaktsignals (CCLK) und gibt das Vergleichssignal (RL) an die Phasen-Einstelleinheit (102) aus, wobei das Vergleichssignal (RL) "1" ist, wenn die Phase des Chiptaktsignals (CCLK) vorausseilt, und "0" ist, wenn die Phase des Chiptaktsignals (CCLK) nacheilt.

Wenn hier wie in Fig. 2 gezeigt das Vergleichssignal "1" ist, schiebt das Schieberegister (41) der digitalen Datenleitung (102) die Daten "1" synchron mit dem Systemtaktsignal (SCLK) um ein Bit von der Eingangsseite (DR) nach rechts und wenn das Vergleichssignal "0" ist, schiebt das Schieberegister (41) die Daten "0" synchron mit dem Systemtaktsignal (SCLK) um ein Bit von der Eingangsseite (DL) nach links und gibt die Bitwerte an die Vielzahl von Verzögerungseinheiten (42-1, 42-2, ..., 42-n) aus.

Deshalb wird, wenn die ersten und zweiten Durchlaßgatter (2, 3) der Vielzahl von Verzögerungseinheiten (42-1, 42-2, ..., 42-n) entsprechend jedem nach links oder rechts geschobenen Bitwert (B1, B2, ..., Bn) komplementär angeschaltet werden, eine Verzögerungskette gebildet, die aus den ersten Invertern (1) und den zweiten Invertern (4) besteht.

Sind zum Beispiel alle Bits des Schieberegisters (41) "0", werden alle ersten Durchlaßgatter (2) angeschaltet und alle zweiten Durchlaßgatter (3) abgeschaltet und deshalb bilden nur die Inverter (1, 4) der Verzögerungseinheit (42-1) eine Verzögerungskette und es tritt die minimale Verzögerung des Systemtaktsignals (SCLK) auf.

Das in der Phase eingestellte Taktsignal (YCLK) wird durch die Verzögerungseinheiten (42-1, 42-2, ..., 42-n) an den Taktsignalverteiler (103) ausgegeben, der zum Detektieren verschiedener Versionen von Taktsignalen und Phasen innerhalb des Chips ein Chiptaktsignal (CCLK) an das Innere des Chips ausgibt und dasselbe zum Phasendetektor (101) zurückführt. Danach wird der identische Vorgang wiederholt.

Da der Verzögerungsbereich gemäß der herkömmlichen Korrekturvorrang für Phasenverzögerungen jedoch von der Anzahl der Verzögerungseinheiten abhängt, sollte die Anzahl der Verzögerungseinheiten so festgesetzt werden, daß eine minimale Verzögerung auftritt und eine Phasenverschiebung von mehr als 360° erreicht werden kann.

In der Verzögerungseinheit der Phasen-Einstelleinheit tritt jedoch durch zwei Inverter und ein Durchlaßgatter in einem minimalen Verzögerungszustand eine Verzögerung auf und wenn die Verzögerung erhöht wird, war es, da die Verzögerung durch ein Durchlaßgatter hinzugefügt wird, verursacht durch die Zunahme der Verzögerung schwierig, eine Verzögerung unter 400 ps (Pikosekunden) zu erreichen.

ZUSAMMENFASSUNG DER ERFINDUNG

Es ist folglich ein Ziel der vorliegenden Erfindung, eine verbesserte Korrekturvorrang für Phasenverzögerungen mit einem unbeschränkten Verzögerungsbereich bereit zu stellen und unter Verwendung einer minimalen Anzahl von Verzögerungselementen in der Verzögerungseinheit eine Phasenverschiebung mit präziser Auflösung zu verwirklichen, indem die Phasenverschiebungsdomäne durch zwei geteilt wird und indem einem Ausgangstreiber der Phasen-Einstelleinheit er-

60
65

möglich wird, die Phase um 180° zwischen den beidem Domänen zu verschieben.

Um das obige Ziel zu erreichen, wird ein digitaler Phasenverzögerungsregelkreis (DLL) bereitgestellt, der einen Phasendetektor zum Ausgeben eines Vergleichssignals durch Vergleichen der Phase eines Systemtaktsignals mit der eines Chiptaktsignals und einen Taktignalverteiler zum Verteilen eines Chiptaktsignals und zum Zurückführen des Signals zum Phasendetektor beinhaltet. Der digitale Phasenverzögerungsregelkreis beinhaltet zusätzlich ein Schieberegister zum aufeinanderfolgenden Schieben von Datenbitwerten (1 oder 0) gemäß dem Vergleichssignal vom Phasendetektor und zum Ausgeben eines Überlaufsignals oder eines Unterlaufsignals der geschobenen Daten, eine Phasenverzögerungseinheit zum Ausgeben eines in der Phase eingestellten Taktsignals durch Verzögern des Systemtaktsignals gemäß den Bitwerten des Schieberegisters, eine Domänenauswahlsteuerung zum Ausgeben eines Domänensteuersignals durch Detektieren des durch das Schieberegister erzeugten Überlaufsignals oder Unterlaufsignals und einen Domänenwähler zum Ausgeben eines Treibersignals für den Domänenbetrieb gemäß einem Domänensteuersignal.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

Fig. 1 ist ein schematisches Blockdiagramm einer Korrekturvorrichtung für Phasenverzögerungen gemäß dem Stand der Technik;

Fig. 2 ist ein ausführliches schematisches Blockdiagramm einer Phasen-Einstelleinheit von Fig. 1 gemäß dem Stand der Technik;

Fig. 3 ist ein schematisches Blockdiagramm einer Korrekturvorrichtung für Phasenverzögerungen gemäß der vorliegenden Erfindung;

Fig. 4 ist ein ausführliches schematisches Blockdiagramm eines Schieberegisters in Fig. 3;

Fig. 5 ist ein ausführliches schematisches Blockdiagramm einer Phasenverzögerungseinheit in Fig. 3;

Fig. 6 ist ein ausführliches schematisches Blockdiagramm eines Domänenwählers in Fig. 3;

Fig. 7 ist eine Beispielansicht, die eine Phasenverzögerung in einem ersten Bereich und einem zweiten Bereich gemäß der vorliegenden Erfindung zeigt; und

Fig. 8A bis 8F sind Beispielansichten, die einen Domänenübergang der Phase eines Treibersignals gemäß der vorliegenden Erfindung zeigen.

AUSFÜHRLICHE BESCHREIBUNG DER BEVORZUGTEN AUSFÜHRUNGSFORMEN

Fig. 3 ist ein schematisches Blockdiagramm einer Korrekturvorrichtung für Phasenverzögerungen gemäß der vorliegenden Erfindung, die einen Taktignalverstärker (201) zum Verstärken eines Systemtaktsignals (SCLK), einen Phasendetektor (202) zum Ausgeben eines Vergleichssignals (DET) durch Vergleichen der Phasen des Systemtaktsignals (SCLK) und eines Chiptaktsignals (CCLK), ein Schieberegister (203) zum aufeinanderfolgenden Schieben von Daten (0 oder 1) in zwei Richtungen gemäß dem Vergleichssignal (DET) vom Phasendetektor (202), eine Phasenverzögerungseinheit (204) zum Ausgeben eines in der Phase eingestellten Taktsignals (CLKD) durch Verzögern der Ausgabe des Taktignalverstärkers (201) gemäß den Bitwerten des Schieberegisters (203), eine Domänenauswahlsteuerung (205) zum Ausgeben eines Domänenaus-

wahlsteuersignals (SEL) durch Detektieren eines durch das Schieberegister (203) erzeugten Überlaufsignals (OVF) oder Unterlaufsignals (UNF), einen Domänenwähler (206) zum Ausgeben eines Treibersignals (DRV) einer Arbeitsdomäne entsprechend dem Domänenauswahlsteuersignal (SEL) von der Domänenauswahlsteuerung (205) und einen Taktignalverteiler (207) zum Verteilen eines Taktsignals (CK) und des Chiptaktsignals (CCLK) gemäß dem Treibersignal (DRV) vom Domänenwähler (206) und zum Zurückführen des Taktsignals (CK) und des Chiptaktsignals (CCLK) zum Phasendetektor (202).

Wie in Fig. 4 gezeigt enthält das Schieberegister (203) Datenbiteinheiten (23-1, ..., 23-n), eine Unterlaufbitdetektoreinheit (23-0) und eine Überlaufbitdateneinheit (23-(N+1)). Wenn das Vergleichssignal (DET) vom Phasendetektor (202) "1" ist, schieben die Datenbiteinheiten (23-1, ..., 23-n) die Daten "1" synchron mit einem internen Taktsignal (ICLK) um ein Bit nach rechts von der Eingangsseite (DR) und wenn das Vergleichssignal (DET) dasselben "0" ist, schieben die Datenbiteinheiten (23-1, ..., 23-n) jeweils die Daten "0" synchron mit dem internen Taktsignal (ICLK) um ein Bit nach links von der Eingangsseite (DL). Und wenn die Datenbiteinheiten (23-1, ..., 23-n) "0" nach links schieben und alle "0" werden und das Vergleichssignal (DET) "0" bleibt, gibt die Unterlaufbitdetektoreinheit (23-0) ein Unterlaufsignal (UNF) aus und setzt die Datenbiteinheiten (23-1, ..., 23-n). Und wenn die Datenbits (23-1, ..., 23-n) "1" nach links schieben und alle Datenbits "1" werden und das Vergleichssignal (DET) "1" bleibt, gibt die Überlaufbitdetektoreinheit (23-(N+1)) ein Überlaufsignal (OVF) aus und setzt die Datenbiteinheiten (23-1, ..., 23-n) zurück.

Die Datenbiteinheiten (23-1, ..., 23-n) enthalten jeweils ein Flipflop (7), dessen Ausgangsanschluß (Q) mit dem Vorwärtsanschluß (F) der nächsten Datenbiteinheit verbunden ist und dessen Setzanschluß (ST) mit dem Ausgangsanschluß der Unterlaufbitdetektoreinheit (23-0) verbunden ist, und einen Synchronisations-Multiplexer (8), dessen Vorwärtsanschluß (F) mit dem Ausgangsanschluß der vorherigen Datenbiteinheit verbunden ist und dessen Rückwärtsanschluß (B) mit dem Ausgangsanschluß der nächsten Datenbiteinheit verbunden ist, und der sein Ausgangssignal an den Eingangsanschluß (D) des Flipflops (7) anlegt.

Die Unterlaufbitdetektoreinheit (23-0) enthält ein Flipflop (9), dessen Ausgangsanschluß (Q) mit dem Vorwärtsanschluß (F) der Datenbiteinheit (23-1) verbunden ist und dessen Rücksetzanschluß (RST) mit Masse verbunden ist, ein Flipflop (10), dessen Eingangsanschluß mit dem Ausgangsanschluß des Flipflops (9) verbunden ist und dessen Ausgangsanschluß (Q) gemeinsam mit den Setzanschlüssen (ST) des Flipflops (9) und der Vielzahl von Flipflops (7) verbunden ist, und einen Synchronisations-Multiplexer (11), dessen Vorwärtsanschluß (F) mit einer Versorgungsspannungsquelle (Vcc) verbunden ist und dessen Rückwärtsanschluß mit dem Ausgangsanschluß (B1) der Biteinheit (23-1) verbunden ist.

Die Überlaufbitdetektoreinheit (23-(N+1)) enthält ein Flipflop (12), dessen Ausgangsanschluß mit dem Rückwärtsanschluß (B) des Multiplexers (8) der Biteinheit (23-n) verbunden ist und dessen Setzanschluß (ST) mit der Spannungsquelle (Vcc) verbunden ist, ein Flipflop (13), dessen Eingangsanschluß (D) mit dem Ausgangsanschluß des Flipflops (12) verbunden ist und dessen Ausgangsanschluß (Q) gemeinsam mit dem Rücksetzanschluß des Flipflops (12) und den Rücksetz-

schlüssen (RST) der Vielzahl von Flipflops (7) verbunden ist, und einen Synchronisations-Multiplexer (14), dessen Rückwärtsanschluß (B) geerdet ist und dessen Vorwärtsanschluß (F) mit dem Ausgangsanschluß der Briteinheit (23-n) verbunden ist.

Das interne Taktsignal (ICLK) wird hier gemeinsam in die Flipflops (7), (9), (10), (12) und (13) ing geben und das Vergleichssignal (DET) wird gemeinsam in die Auswahlanschlüsse (S) der Synchronisations-Multiplexer (8), (11) und (14) eingegeben. Zusätzlich werden die Flipflops (7) der Datenbiteinheiten (23-1, ..., 23-n), das Flipflop (9) der Unterlaufbitdetektoreinheit (23-0) und das Flipflop (12) der Überlaufbitdetektoreinheit (23-(N+1)) durch ein Signal "0" gesetzt und durch ein Signal "1" zurückgesetzt.

Wie in Fig. 5 gezeigt wird die Phasenverzögerungseinheit (204) gemäß den vom Schieberegister ausgegebenen Bitwerten (B1, B2, ..., Bn) gesteuert und enthält eine Vielzahl von Verzögerungseinheiten (24-1, 24-2, ..., 24-(n-1), 24-n), die durch aufeinanderfolgendes Verzögern des vom Taktsignalverstärker (201) ausgegebenen Taktsignals (CLKINT) das in der Phase eingestellte Taktsignal (CLKD) ausgeben.

Die Verzögerungseinheiten (24-1, 24-2, ..., 24-(n-1)) enthalten jeweils in Reihe geschaltete Inverter (16, 17), die das Taktsignal (CLKINT) vom Taktsignalverstärker (201) aufeinanderfolgend verzögern. Der Ausgangsanschluß des Schieberegisters (203) wird über einen NMOS-Transistor (18) und einen Inverter (19) an das Gate eines PMOS-Transistors eines Durchlaßgatters (15) und über einen PMOS-Transistor (20) an einen NMOS-Transistor des Durchlaßgatters (15) angelegt. Dadurch wird das in der Phase eingestellte Taktsignal (CLKD) durch Steuern der Durchlaßgatter (15) gemäß den Bitwerten (B1, ..., Bn) des Schieberegisters (203) ausgegeben.

Die Verzögerungseinheit (24-n) enthält hier nur das Durchlaßgatter (15), den Inverter (19) und den PMOS-Transistor (20).

Wie in Fig. 6 gezeigt enthält der Domänenwähler (206) in Reihe geschaltete Inverter (21, 22) zum aufeinanderfolgenden Verzögern des von der Phasenverzögerungseinheit (204) ausgegebenen in der Phase eingestellten Taktsignals (CLKD), ein Durchlaßgatter (26) zum Durchlassen eines Ausgangssignals des Inverters (22) als das Trebersignal (DRI) zur Auswahl einer ersten Domäne gemäß dem Domänensteuersignal (SEL) von der Domänenauswahlsteuerung (205) und in Reihe geschaltete Inverter (23, 24, 25) zum aufeinanderfolgenden Verzögern des von der Phasenverzögerungseinheit (204) ausgegebenen in der Phase eingestellten Taktsignals (CLKD) und ein Durchlaßgatter (28) zum Durchlassen des Ausgangssignals des Inverters (25) als ein Trebersignal (DRI) zur Auswahl einer zweiten Domäne gemäß dem durch einen Inverter (27) invertierten Domänensteuersignal (SEL).

Die Arbeitsweise der Korrekturvorrangung für Phasenverzögerungen gemäß der vorliegenden Erfindung wird nun mit Bezug auf die beigefügten Zeichnungen beschrieben.

Der Taktsignalverstärker (201) verstärkt ein Systemtaktsignal (SCLK) und gibt es an die Phasenverzögerungseinheit (204) aus. Das vom Taktsignalverteil器 (207) zurückgeführte Chiptaktsignal (CCLK) und das Systemtaktsignal (SCLK) werden in den Phasendetektor (202) eingegeben. Dann gibt der Phasendetektor (202) ein Vergleichssignal "1" an das Schieberegister (203) aus, wenn das Chiptaktsignal (CCLK) dem System-

taktsignal (SCLK) in der Phase vorausseilt, oder gibt eine "0" an das Schieberegister (203) aus, wenn das Chiptaktsignal (CCLK) dem Systemtaktsignal (SCLK) in der Phase nachsteilt.

- 5 Ist das vom Phasendetektor (202) ausgegebene Vergleichssignal (DET) "1", schiebt das Schieberegister (203) aufeinanderfolgend synchron mit dem internen Taktsignal (ICLK) die Daten "1" nach rechts von der Eingangsseite (DR) und gibt die Bitwerte von "1" (B1, ..., Bn) aus. Ist das Vergleichssignal (DET) "0", schiebt das Schieberegister (203) aufeinanderfolgend synchron mit dem internen Taktsignal (ICLK) die Daten "0" nach links von der Eingangsseite (DL) und gibt die Bitwerte von "0" (B1, ..., Bn) aus.
- 10 Und wenn das Schieberegister (203) eine Schiebeoperation nach rechts durchführt und die Bitwerte (B1, ..., Bn) alle "1" sind, gibt das Schieberegister (203) ein Überlaufsignal (OVF) aus, falls das Vergleichssignal (DET) "1" eingegeben wird, und wenn das Schieberegister (203) eine Schiebeoperation nach links durchführt und die Bitwerte (B1, Bn) alle "0" sind, gibt das Schieberegister (203) ein Unterlaufsignal (UNF) aus, falls das Vergleichssignal (DET) als "0" eingegeben wird.

Zunächst wird der erstere Fall ausführlich beschrieben.

Hier ist die Spannungsquelle (Vcc) als die Eingangsseite (DR) an den Vorwärtsanschluß (F) des Synchronisations-Multiplexers (11) der Unterlaufbiteinheit (23-0) angeschlossen und dieser gibt gemäß dem angelegten Vergleichssignal (DET) von "1" einen high-Pegel "1" an das Flipflop (9) aus und dann gibt das Flipflop (9) synchron mit dem ersten Zyklus des internen Taktsignals (ICLK) ein Ausgangssignal von "1" vom Synchronisations-Multiplexer (11) aus.

35 Dann gibt das Flipflop (10) gemäß dem Ausgangssignal des Flipflops (9) "1" aus und setzt das Flipflop (9) auf "1" und die Flipflops (7) der Datenbiteinheiten (23-1, ..., 23-n) werden durch "0" gesetzt.

Der Synchronisations-Multiplexer (8) der Datenbit-40 einheit (23-1) gibt gemäß dem Vergleichssignal (DET) "1" den in seinen Vorwärtsanschluß (F) eingegebenen Ausgangswert "1" von der Unterlaufbiteinheit (23-0) an das Flipflop (7) aus und dann gibt das Flipflop (7) die Ausgabe "1" vom Synchronisations-Multiplexer (8) synchron mit dem zweiten Zyklus des internen Taktsignals (ICLK) an den Synchronisations-Multiplexer (8) der, nächsten Briteinheit (23-2) aus.

Der obige Verlauf wird dann durch die Synchronisations-Multiplexer (8) der Datenbiteinheiten (23-2, 23-3, 50 ..., 23-n) wiederholt durchgeführt und als Ergebnis davon werden die Bitwerte "1" über die Ausgangsanschlüsse (B2, B3, ..., Bn) der Datenbiteinheiten (23-1, 23-2, ..., 23-n) ausgegeben, bis die Datenbiteinheiten (23-1, 23-2, ..., 23-n) mit "1"-en gefüllt sind.

55 Bleibt das Vergleichssignal (DET) in einem derartigen Zustand "1", gibt der Synchronisations-Multiplexer (14) der Überlaufbiteinheit (23-(n+1)) den Bitwert (Bn) "1" von der Datenbiteinheit (23-n) gemäß dem über seinen Vorwärtsanschluß (F) angelegten Vergleichssignal (DET) von "1" an das Flipflop (12) aus und das Flipflop (12) gibt synchron mit dem internen Taktsignal (ICLK) ein Überlaufsignal (OVF) von "1" aus.

Das Überlaufsignal (OVF) wird hier in das Flipflop (13) eingegeben und das Flipflop (13) gibt synchron mit dem internen Taktsignal (ICLK) ein Rücksetzsignal (RST) aus und als Ergebnis davon werden die Flipflops (7, 12) der Vielzahl von Datenbiteinheiten (23-1, 23-2, ..., 23-n) auf "0" zurückgesetzt.

Nun wird der letztere Fall ausführlich beschrieben.

Hier gibt der Synchronisations-Multiplexer (14) der Überlaufbriteinheit (23-(n+1)) die an seinem Rückwärtsanschluß (B) angelegte Massespannung (Vss) von der Eingangseite (DL) an das Flipflop (12) aus und dann speichert das Flipflop (12) beim ersten Zyklus des internen Taktsignals (ICLK) die Ausgabe "0" vom Synchronisations-Multiplexer (14) und gibt sie an die Datenbriteinheit (23-n) aus.

Dann gibt der Synchronisations-Multiplexer (8) der Datenbriteinheit (23-n) den in seinen Rückwärtsanschluß (B) eingegebenen Ausgabewert "0" von der Unterlaufbriteinheit (23-(n-1)) gemäß dem Vergleichssignal (DET) von "0" an das Flipflop (7) aus und dann speichert des Flipflop (7) im zweiten Zyklus des internen Taktsignals (ICLK) die Ausgabe "0" vom Synchronisations-Multiplexer (8) und gibt sie an die Datenbriteinheit (23-(n-1)) aus.

Der obige Verlauf wird durch die Synchronisations-Multiplexer (8) der Datenbriteinheiten (23-2, 23-3, ..., 23-n) und die Flipflops (7) wiederholt durchgeführt und als Ergebnis davon werden die Bitwerte 0 (B1, B2, ..., Bn) aufeinanderfolgend über die Datenbriteinheiten (23-n, ..., 23-1) ausgegeben und die Datenbriteinheiten (23-n, ..., 23-1) werden alle mit "0" gefüllt.

Bleibt das Vergleichssignal (DET) in einem derartigen Zustand "0", gibt der Synchronisations-Multiplexer (11) der Unterlaufbriteinheit (23-0) den in seinen Vorwärtsanschluß (F) eingegebenen Bitwert (Bn) "0" von der Datenbriteinheit (23-n) gemäß dem Vergleichssignal (DET) von "0" an das Flipflop (9) aus und das Flipflop (9) speichert die Ausgabe "0" vom Synchronisations-Multiplexer (11) und gibt synchron mit dem internen Taktsignal (ICLK) ein Unterlaufsignal (UVF) von "0" aus.

Das Unterlaufsignal (UVF) wird hier in das Flipflop (10) eingegeben und das Flipflop (10) gibt synchron mit dem internen Taktsignal (ICLK) ein Setzsignal (ST) von "0" aus und als Ergebnis davon werden die Flipflops (7, 9) der Vielzahl von Datenbriteinheiten (23-1, 23-2, ..., 23-n) auf "1" gesetzt.

Als nächstes wird die Phasenverzögerungseinheit (204) durch die vom Schieberegister (203) ausgegebenen Bitwerte (B1, B2, ..., Bn) gesteuert und verzögert folglich das Taktsignal (CLKINT) vom Taktsignalverstärker (201) und gibt das in der Phase eingestellte Taktsignal (CLKD) an den Domänenwähler (206) aus.

Das bedeutet wie in Fig. 5 gezeigt, wenn die vom Schieberegister (203) ausgegebenen Bitwerte (B1, ..., Bn) alle "0" sind, wird nur das Durchlaßgatter (15) der Verzögerungseinheit (24-1) aus der Vielzahl von Verzögerungseinheiten (24-1, ..., 24-n) angeschaltet und folglich tritt eine minimale Verzögerung des Taktsignals auf. Sind die vom Schieberegister (203) ausgegebenen Bitwerte (B1, ..., Bn) alle "1", wird nur das Durchlaßgatter (15) der Verzögerungseinheit (24-1) aus der Vielzahl von Verzögerungseinheiten (24-1, 24-n) angeschaltet und folglich tritt eine maximale Verzögerung des Taktsignals auf.

Sind nicht alle Bitwerte identisch, das heißt, sind die Bitwerte (B1, B2, B3) nicht alle "1" und die Bitwerte (B4, ..., Bn) nicht alle "0", werden die Durchlaßgatter (15) der Verzögerungseinheiten (24-1, 24-2, 24-3) abgeschaltet und das Durchlaßgatter (15) der Verzögerungseinheit (24-4) wird angeschaltet. Das Taktsignal (CLKINT) wird dann durch die Inverter (16, 17) der Verzögerungseinheiten (24-1, 24-2, 24-3) aufeinanderfolgend verzögert, um über das angeschaltete Durchlaßgatter (15) der Verzögerungseinheit (24-4) das in der Phase eingestellte

Taktsignal (CLKD) auszugeben.

Da die Verzögerungseinheiten (24-1, 24-2, 24-3) hier durch die Inverter (16, 17) beeinflußt und betrieben werden, wird die Verzögerungsbreite verringert, was zum Erhalt einer präzisen Auflösung und der Aufrechterhaltung einer regelmäßigen Verzögerungsbreite führt.

Immer wenn vom Schieberegister (203) ein Überlauf- oder Unterlaufsignal eingegeben wird, dann gibt die Domänenauswahlsteuerung (205) das Domänenauswahlsteuersignal (SEL) aus und der Domänenwähler (206) wählt gemäß dem Domänenauswahlsteuersignal (SEL) ein entsprechendes Signal aus den zwei Domänen und gibt das Treibersignal (DRI) aus, das eine vorbestimmte Phase aus der ausgewählten Domäne aufweist.

Das bedeutet wie in Fig. 6 gezeigt, wenn das Domänenauswahlsteuersignal "1" ist, wird das Durchlaßgatter (26) der Domänenauswahlsteuerung (205) angeschaltet und folglich wird das in der Phase eingestellte Taktsignal (CLKD) von der Phasenverzögerungseinheit (204) aufeinanderfolgend durch Inverter (21, 22) verzögert und als das Treibersignal (DRI) der ersten Domäne ausgegeben. Ist das Domänenauswahlsteuersignal (SEL) "0", wird das Durchlaßgatter (28) angeschaltet und folglich wird das Taktsignal (CLKD) vom der Phasenverzögerungseinheit (204) aufeinanderfolgend durch Inverter (23, 24, 25) verzögert und als das Treibersignal (DRI) der zweiten Domäne ausgegeben.

Deshalb bestimmt die Domänenauswahlsteuerung (205) wie in Fig. 7 gezeigt gemäß dem Domänenauswahlsteuersignal (SEL) wiederholt eine Domäne mit einer Phase von $0^\circ - 180^\circ$ und die andere Domäne mit einer Phase von $180^\circ - 360^\circ$.

Die gesamten Verzögerungszeiten der parallelen in Reihe geschalteten Inverter (21, 22) und (23, 24, 25) sollen hier aufeinander abgestimmt sein.

Nun wird der Verlauf der Domänenauswahl der Domänenauswahlsteuerung (205) und des Domänenwählers (206) ausführlich beschrieben.

Zunächst führt das Schieberegister (203) gemäß einem vom Phasendetektor (202) ausgegebenen Vergleichssignal (DET) von "1" eine Schiebeoperation nach rechts durch und folglich wird einen Taktzyklus lang ein Überlaufsignal (OVF) erzeugt und das Flipflop (13) setzt gemäß dem Überlaufsignal die Flipflops (7, 12) auf "0" zurück.

Da die Flipflops (7) zurückgesetzt werden, werden die Bitwerte (B1, ..., Bn) alle "0" und von der Unterlaufbriteinheit (23-0) wird ein Unterlaufsignal (UNF) "1" ausgegeben und von der Überlaufbriteinheit (23-(N+1)) wird ein Überlaufsignal (OVF) "0" ausgegeben.

Die Bitwerte "0" des Schieberegisters (203) (B1, Bn) werden wie in Fig. 5 gezeigt in die Verzögerungseinheiten (24-1, ..., 24-n) der Phasenverzögerungseinheit (204) eingegeben und die Durchlaßgatter (15) werden gemäß den Bitwerten von "0" eingeschaltet und folglich wird das Taktsignal (CLKINT) um so viel wie die gesetzte Verzögerung verzögert und als das Taktsignal (CLKD) ausgegeben.

Wird kein Unterlauf oder Überlauf erzeugt, gibt die Domänenauswahlsteuerung (205) zu diesem Zeitpunkt (das bedeutet, wenn das Unterlaufsignal (UNF) "1" ist und das Überlaufsignal (OVF) "0" ist) ein Domänensteuersignal (SEL) mit dem Pegel high aus und gemäß dem Domänensteuersignal (SEL) mit dem Pegel high wird das Durchlaßgatter (26) des Domänenwählers (206) angeschaltet und als Ergebnis davon wird das Taktsignal (CLKD) über die Inverter (21, 22) als ein Treibersignal (DRI) der ersten Domäne aufgegeben.

Die Phase des Treibersignals (DRI) wird hier gemäß dem Pegel high des Domänensteuersignals (SEL) in der ersten Domäne gewählt und die Phase wird wie in Fig. 7 gezeigt 1. Zu diesem Zeitpunkt ist die Verzögerung der Inverter (21, 22) unwichtig.

Als nächstes führt das Schieberegister (203) gemäß dem vom Phasendetektor (202) ausgegebenen Vergleichssignal von "1" eine Schiebeoperation nach rechts durch und als Ergebnis davon wird der Bitwert (B1) der Datenbiteinheit (23-1) ausgegeben und die Bitwerte "0" der anderen Datenbiteinheiten (23-2, ..., 23-n) werden ausgegeben.

Hier wird gemäß den Bitwerten das Durchlaßgatter (15) der Verzögerungseinheit (24-1) in der Phasenverzögerungseinheit (204) ausgeschaltet und das Durchlaßgatter der Verzögerungseinheit (24-2) wird angeschaltet. Als Ergebnis davon wird das Taktsignal (CLKINT) durch die Inverter (16, 17) verzögert und als das in der Phase eingestellte Taktsignal (CLKD) ausgegeben.

Da kein Unterlauf oder Überlauf erzeugt wird, gibt die Domänenauswahlsteuerung (205) dann wie in Fig. 6 gezeigt ein Domänensteuersignal (SEL) mit dem Pegel high an den Domänenwähler (206) aus und folglich wird die Phase des vom Domänenwähler (206) ausgegebenen Treibersignals (DRI) wie in Fig. 7B gezeigt 02.

Gibt der Phasendetektor (202) weiterhin ein Vergleichssignal von "1" an das Schieberegister (203) aus und gibt das Schieberegister (203) gemäß dem Vergleichssignal (DET) aufeinanderfolgend über die Datenbiteinheiten (23-2, 23-3, 23-n) die Bitwerte von "1" (B1, ..., Bn) aus, wird die Phase des Treibersignals (DRI) durch denselben Verlauf wie oben beschrieben auf 3, ..., n-1 eingestellt, bis die Phase des maximal verzögerten Treibersignals wie in Fig. 8A bis 8F gezeigt n wird.

Werden die Datenbiteinheiten (23-2, 23-3, ..., 23-n) mit "1" gefüllt, während der Phasendetektor (202) weiterhin ein Vergleichssignal (DET) von "1" ausgibt, gibt die Überlaufbiteinheit (23-(n+1)) einen Taktzyklus lang ein Überlaufsignal (OVF) aus und das Überlaufsignal (OVF) wird in das Flipflop (13) eingegeben und das Flipflop (13) gibt ein Rücksetzsignal (RST) aus. Als Ergebnis davon werden die Flipflops (7) der Datenbiteinheiten (23-2, 23-3, ..., 23-n) und das Flipflop (12) der Überlaufbiteinheit (23-(n+1)) auf "0" zurückgesetzt.

Die Domänenauswahlsteuerung (205) detektiert das von der Überlaufbiteinheit (23-(n+1)) ausgegebene Überlaufsignal (OVF) von "1" und gibt ein Domänenauswahlsteuersignal (SEL) mit dem Pegel low aus, das einen Domänenübergang repräsentiert. Dann wird das Durchlaßgatter (28) des Domänenwählers (206) gemäß dem Domänenauswahlsteuersignal (SEL) mit dem Pegel low angeschaltet und entsprechend wird das von der Phasenverzögerungseinheit (204) ausgegebene Taktsignal (CLKD) über die Inverter (23, 24, 25) und das Durchlaßgatter (28) ausgegeben und folglich wird die Phase des Treibersignals (DRI) in die zweite Domäne verschoben und wird n+1.

Wenn der Phasendetektor (202) in einem Zustand wie oben weiterhin ein Vergleichssignal von "1" ausgibt, geben die Biteinheiten (23-1, ..., 23-n) des Schieberegisters (203) durch denselben Verlauf wie oben beschrieben aufeinanderfolgend die Bitwerte von "1" aus und die Phasen des vom Domänenwähler (206) ausgegebenen Treibersignals (DRI) werden n+2, ..., 2n.

Als nächstes, wenn wieder ein Überlaufsignal (OVF) erzeugt wird, wird die Phase des Treibersignals in die erste Domäne 01 verschoben.

Wird derselbe Verlauf wie oben beschrieben wieder-

holt durchgeführt, wird die Phase des Treibersignals (DRI) kontinuierlich in die erste Domäne oder die zweite Domäne geschoben.

Das Schieberegister (203) führt inzwischen gemäß einem vom Phasendetektor (202) ausgegebenen Vergleichssignal von "0" eine Schiebeoperation nach links durch und einen Taktzyklus lang wird ein Unterlaufsignal (UNF) erzeugt. Gemäß dem Unterlaufsignal (UNF) werden die Flipflops (7, 9) auf "1" zurückgesetzt.

Wird vom Phasendetektor (202) hier weiterhin das Vergleichssignal von "0" in das Schieberegister (203) eingegeben, gibt der Synchronisations-Multiplexer (14) der Überlaufbiteinheit (23-(n+1)) den an seinen Rückwärtsanschluß (B) angelegten Spannungspegel (Vss) an die Biteinheiten (23-n) aus und folglich geben die Biteinheiten (23-n, ..., 23-1) aufeinanderfolgend die Bitwerte (Bn, ..., B1) von "0" aus.

Da kein Unterlauf oder Überlauf erzeugt wird, wird von der Unterlaufbiteinheit (23-0) eine "1" ausgegeben und von der Überlaufbiteinheit (23-(N+1)) eine "0" ausgegeben.

Deshalb werden die Verzögerungseinheiten (24-n, ..., 24-1) der Phasenverzögerungseinheit (204) gemäß den von den Biteinheiten (23-n, ..., 23-1) ausgegebenen Bitwerten von "0" gesteuert und folglich nimmt die Phase des vom Domänenwähler (206) ausgegebenen Treibersignals (DRI) zu, beispielsweise n-1, ..., 1.

Schiebt das Schieberegister (203) wie oben beschrieben "0" nach links und werden alle Bits "0" und gibt der Phasendetektor (202) weiterhin ein Vergleichssignal von "0" aus, gibt die Unterlaufbiteinheit (23-0) ein Unterlaufsignal (UNF) von "0" aus und das Flipflop (10) gibt gemäß dem Unterlaufsignal (UNF) ein Setzsignal (ST) aus und die Flipflops (7, 11) werden auf "1" gesetzt.

Wird das Durchlaßgatter (15) der Verzögerungseinheit (23-n) gemäß den Bitwerten (B1, B2, ..., Bn) angeschaltet, tritt deshalb durch die Inverter (16, 17) der Verzögerungseinheiten (24-1, ..., 24-(n-1)) und das Durchlaßgatter (15) der Verzögerungseinheit (24-n) eine maximale Verzögerung des Taktsignals auf.

Gibt die Domänenauswahlsteuerung (205) als nächstes ein Domänensteuersignal (SEL) mit dem Pegel low aus, das einen Übergang in die zweite Domäne repräsentiert, wird gemäß dem Unterlaufsignal von "0" über die Inverter (23, 24, 25) und das Durchlaßgatter (28) ein maximal verzögertes Taktsignal (CLKD) ausgegeben und die Phase des Treibersignals (DRI) wird in die zweite Domäne verschoben und wird 2n.

Gibt der Phasendetektor (202) weiterhin ein Vergleichssignal (DET) von "0" aus, geben die Biteinheiten (23-n, 23-1) des Schieberegisters (203) durch den oben beschriebenen Verlauf aufeinanderfolgend die Bitwerte von "1" aus und als Ergebnis davon nimmt die Phase des vom Domänenwähler (206) ausgegebenen Treibersignals (DRI) zu, beispielsweise 2n-1, ..., n+1.

Da derselbe Verlauf wie oben beschrieben wiederholt durchgeführt wird, wird die Phase des Treibersignals (DRI) wiederholt in die erste Domäne oder die zweite Domäne verschoben.

Der Taktsignalverstärker (201) kann weggelassen werden, falls das Systemtaktsignal (SCLK) eine verhältnismäßig niedrige Frequenz und einen großen Hub aufweist.

Deshalb wird das Treibersignal (DRI) vom Domänenwähler (206) in den Taktsignalverteiler (207) eingegeben und der Taktsignalverteiler (207) erzeugt Taktsignale, die für verschiedene Komponenten im Chip nötig sind und ein Chiptaktsignal (CCLK) für die Detektion der

Phase. Das Chiptaktsignal (CCLK) wird dann zurück in den Phasendetektor (202) geführt und die Operation wird wiederholt durchgeführt.

Wie oben beschrieben kann die vorliegende Erfindung durch Einstellen der Phase des Treibersignals in einer 0° – 180° umfassenden Domäne und in der anderen 180° – 360° umfassenden Domäne und Durchführen eines Domänenübergangs gemäß einem Unterlaufsignal oder einem Überlaufsignal, wenn die Phase die Grenze zwischen den beiden Domänen erreicht, einen unbeschränkten Verzögerungsbereich bereitstellen.

Zusätzlich kann die Anzahl der verzögernden Elemente der vorliegenden Erfindung auf die Hälfte reduziert werden, da die Phasenverschiebung nur in der ersten Domäne durchgeführt wird und die Phasenverschiebung in der zweiten Domäne invers zu der Phasenverschiebung in der ersten Domäne durchgeführt wird.

Schließlich hat die vorliegende Erfindung den Effekt, daß eine Phasenverschiebungsvorrichtung mit präziser Auflösung verwirklicht werden kann, indem die Anzahl der die Verzögerungseinheiten aufbauenden Elemente verringert wird.

Patentansprüche

1. Korrekturvorrichtung für Phasenverzögerungen in einem digitalen Verzögerungsregelkreis mit einem Phasendetektor (202) zum Ausgeben eines Vergleichssignals (DET) durch Vergleichen der Phase eines Systemtaktsignals (SCLK) mit der eines Chiptaktsignals (CCLK) und einem Taktsignalverteiler (207) zum Verteilen des Chiptaktsignals (CCLK) und um das Chiptaktsignal (CCLK) zurück zum Phasendetektor (202) zu führen, das umfaßt:
ein Schieberegister (203) zum aufeinanderfolgenden Schieben von Bitwerten gemäß dem Vergleichssignal (DET) vom Phasendetektor (202) und zum Ausgeben eines Überlaufsignals (OVF) und eines Unterlaufsignals (UNF) jeweils auf einen Überlaufzustand und einen Unterlaufzustand der geschobenen Daten hin;
ein Phasenverzögerungseinheit (204) zum Ausgeben eines in der Phase eingestellten Taktsignals (CLKD) durch Verzögern des Systemtaktsignals (SCLK) gemäß den vom Schieberegister (203) ausgegebenen Bitwerten;
ein Domänenauswahlsteuerung (205) zum Ausgeben eines Domänensteuersignals (SEL) auf das vom Schieberegister (203) erzeugte Überlaufsignal (OVF) und Unterlaufsignal (UNF) hin; und
einen Domänenwähler (206) zum Ausgeben eines Treibersignals (DRI) für einen Domänenbetrieb gemäß dem Domänensteuersignal (SEL).
2. Vorrichtung nach Anspruch 1, bei der das Schieberegister (203) eine Vielzahl von Datenbiteinheiten (23-1, ..., 23-n) zum Ausgeben von gemäß dem Vergleichssignal (DET) vom Phasendetektor (202) synchron mit einem Taktsignal (ICLK) nach links und rechts geschobenen Datenbitwerten, eine an einem vorderen Ende der Datenbiteinheiten befindliche Unterlaufbiteinheit (23-0) zum Detektieren des Unterlaufzustands und zum Setzen der Datenbiteinheiten, wenn die Datenbiteinheiten aufeinanderfolgend die Bitwerte von "0" nach links schieben, und eine an einem hinteren Ende der Datenbiteinheiten befindliche Überlaufbiteinheit (23-(n+1)) zum Detektieren eines Überlaufsignals und zum Zurücksetzen der Datenbiteinheiten, wenn die Da-

tenbiteinheiten aufeinanderfolgend die Bitwerte von "1" nach rechts schieben, enthält.

3. Vorrichtung nach Anspruch 2, bei der die Vielzahl von Datenbiteinheiten jeweils umfaßt:
ein Flipflop (7) mit einem Ausgangsanschluß zum Ausgeben eines Datenbitwerts; und
einen Synchronisations-Multiplexer (8) zum Empfangen des Vergleichssignals (DET) vom Phasendetektor (202) an einem Auswahlanschluß von diesem und mit einem Vorwärts-Eingangsanschluß und einem Rückwärts-Eingangsanschluß, wobei das Flipflop einen Taktanschluß, der ein Taktsignal empfängt, einen mit einem Ausgangsanschluß des Synchronisations-Multiplexers verbundenen Eingangsanschluß, einen Ausgangsanschluß, der eine Bitausgabe der Datenbiteinheit bereitstellt, und sowohl mit dem Vorwärts-Eingangsanschluß des Synchronisations-Multiplexers der nachfolgenden Datenbiteinheit als auch mit dem Rückwärts-Eingangsanschluß der vorangehenden Datenbiteinheit verbunden ist, einen Setzanschluß, der mit einem Setz-Ausgangsanschluß der Unterlaufbitdetektoreinheit verbunden ist, und einen Rücksetzanschluß, der mit einem Rücksetz-Ausgangsanschluß der Überlaufbitdetektoreinheit verbunden ist, aufweist.

4. Vorrichtung nach Anspruch 2, bei der die Unterlaufbitdetektoreinheit (23-0) umfaßt:
ein erstes Flipflop (9) mit einem Taktsignaleingangsanschluß, der ein Taktsignal empfängt, einem Eingangsanschluß, einem Ausgangsanschluß und einem mit Masse verbundenen Rücksetzanschluß; ein zweites Flipflop (10) mit einem Taktanschluß, der das Taktsignal empfängt, einem mit dem Ausgangsanschluß des ersten Flipflops verbundenen Eingangsanschluß und einem mit dem Setzanschluß des ersten Flipflops verbundenen Ausgangsanschluß; und
einen Synchronisations-Multiplexer (11) mit einem Vorwärtsanschluß, der mit einer Spannungsquelle verbunden ist, einem Auswahl-Eingangsanschluß, der ein Vergleichssignal empfängt, einem Rückwärtsanschluß, der mit dem Ausgangsanschluß der ersten Datenbiteinheit verbunden ist, und einem Ausgangsanschluß, der mit dem Eingangsanschluß des ersten Flipflops verbunden ist.

5. Vorrichtung nach Anspruch 2, bei der die Überlaufbitdetektoreinheit (23-(n+1)) umfaßt:
ein erstes Flipflop (12) mit einem Taktsignalanschluß, der ein Taktsignal empfängt, einem Eingangsanschluß, einem Ausgangsanschluß, einem Setzanschluß, der mit einer Spannungsquelle verbunden ist, und einem Rücksetzanschluß; ein zweites Flipflop (13) mit einem Taktanschluß, der das Taktsignal empfängt, einem Eingangsanschluß, der mit dem Ausgangsanschluß des ersten Flipflops verbunden ist, und einem Ausgangsanschluß, der gemeinsam mit dem Rücksetzanschluß des ersten Flipflops verbunden ist; und
einen dritten Synchronisations-Multiplexer (14) mit einem Rückwärts-Eingangsanschluß, der mit Masse verbunden ist, einem Auswahl-Eingangsanschluß, der das Vergleichssignal empfängt, einem Vorwärtsanschluß, der gemeinsam mit einem Ausgangsanschluß der letzten Datenbiteinheit verbunden ist, und einem Ausgangsanschluß, der mit dem Eingangsanschluß des ersten Flipflops verbunden ist.

6. Vorrichtung nach Anspruch 1, bei der die Phasenverzögerungseinheit (204) eine Vielzahl von gemäß den vom Schieberegister (203) ausgegebenen Bitwerten g steuerten Verzögerungseinheiten (24-1, ..., 24-n) zum Ausgeben eines in der Phase eingestellten Taktsignals durch aufeinanderfolgendes Verzögern des Systemtaktsignals enthält, wobei alle außer der letzten aus der Vielzahl von Verzögerungseinheiten erste und zweite Inverter (16, 17) zum aufeinanderfolgenden Verzögern des Systemtakts beinhalten; und wobei ein Ausgangsanschluß des Schieberegisters (203) über einen ersten NMOS-Transistor (18) und einen dritten Inverter (19) mit einem Gate eines PMOS-Transistors eines ersten Durchlaßgatters (15) verbunden ist und über einen zweiten PMOS-Transistor (20) mit einem Gate eines zweiten NMOS-Transistors des ersten Durchlaßgatters (15) verbunden ist; und wobei die letzte Verzögerungseinheit ein erstes Durchlaßgatter (15), einen vierten Inverter (19) und einen dritten PMOS-Transistor (20) enthält.

7. Vorrichtung nach Anspruch 1, bei der der Domänenwähler (206) enthält: erste und zweite in Reihe geschaltete Inverter (21, 22) zum aufeinanderfolgenden Verzögern eines von der Phasenverzögerungseinheit (204) ausgegebenen Taktsignals; ein erstes Durchlaßgatter (26), das mit einem Ausgang des zweiten Inverters (22) verbunden ist, zum Ausgeben eines Treibersignals einer ersten Domäne gemäß einem Zustand des von der Domänenauswahlsteuerung (205) ausgegebenen Domänenauswahlsteuersignals; dritte, vierte und fünfte in Reihe geschaltete Inverter (23, 24, 25) zum aufeinanderfolgenden Verzögern des von der Phasenverzögerungseinheit (204) ausgegebenen Taktsignals; und ein zweites Durchlaßgatter (28), das mit einem Ausgang des fünften Inverters (25) verbunden ist, zum Ausgeben des Treibersignals einer zweiten Domäne gemäß einem anderen Zustand des durch einen sechsten Inverter (27) invertierten Domänenauswahlsteuersignals.

8. Vorrichtung nach Anspruch 1, bei der die Domänenauswahlsteuerung (205) immer wenn durch die Unterlaufbitdetektoreinheit und die Überlaufbitdetektoreinheit ein Unterlauf- oder Überlaufzustand detektiert wird, durch Ausgeben eines invertierten Domänenauswahlsteuersignals für einen Domänenübergang sorgt.

9. Korrekturvorrang für Phasenverzögerungen in einem digitalen Verzögerungsregelkreis mit einem Taktsignalverstärker (201) zum Verstärken eines Systemtaktsignals (SCLK), einem Phasendetektor (202) zum Ausgeben eines Vergleichssignals (DET) durch Vergleichen einer Phase des Systemtaktsignals (SCLK) mit der eines Chiptaktsignals (CCLK) und einem Taktignalverteiler (207) zum Verteilen des Chiptaktsignals (CCLK) und um das Chiptaktsignal (CCLK) gemäß einem Treibersignal (DRI) eines Domänenwählers (206) zurück zum Phasendetektor (202) zu führen, mit: einem Schieberegister (203) zum aufeinanderfolgenden Schreiben von Datenbitwert n gemäß dem Vergleichssignal (DET) vom Phasendetektor (202) in beide Richtungen; einer Phasenverzögerungseinheit (204) zum Ausge-

ben eines in der Phase eingestellten Taktsignals (CLKD) durch Verzögern der Ausgabe des Taktsignalverstärkers (201) gemäß den im Schieberegister (203) geschobenen Bitwerten; einer Domänenauswahlsteuerung (205) zum Ausgeben eines Domänenauswahlsteuersignals (SEL) durch Detektieren eines durch das Schieberegister (203) erzeugten Überlaufsignalzustands oder Unterlaufsignalzustands; und einem Domänenwähler (206) zum Ausgeben eines Treibersignals (DRI) der ersten gemäß dem Domänensteuersignal (SEL) von der Domänenauswahlsteuerung (205) ausgewählten Domäne und zum Ausgeben eines Treibersignals einer zweiten Domäne, wenn entweder ein Überlaufsignalzustand oder ein Unterlaufsignalzustand erzeugt wird, wenn sich eines der Treibersignale im Grenzbereich der ausgewählten ersten Domäne befindet.

Hierzu 7 Seite(n) Zeichnungen

- Leerseite -

FIG. 1
STAND DER TECHNIK

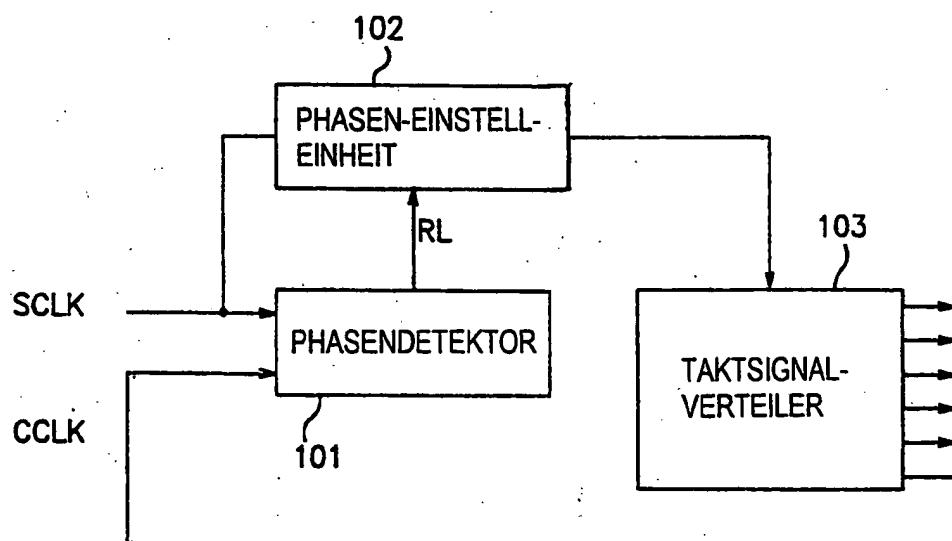


FIG. 2
STAND DER TECHNIK

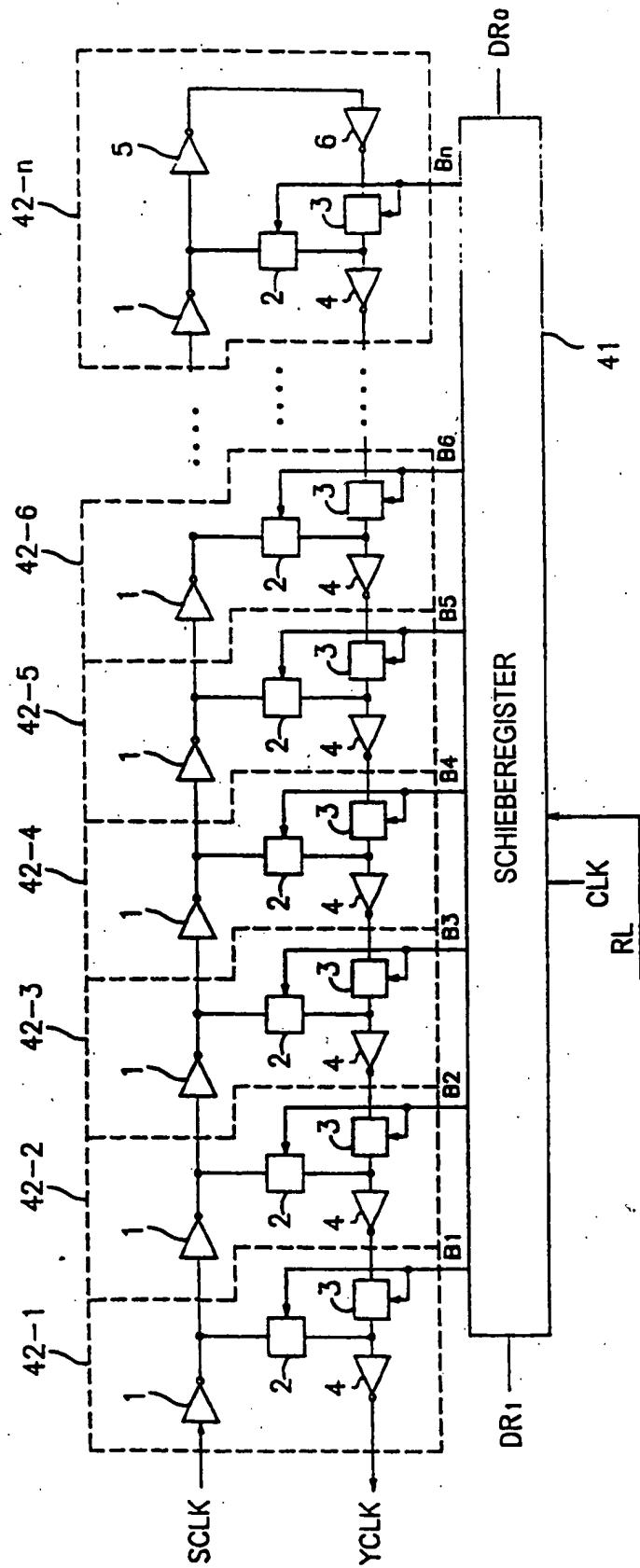


FIG. 3

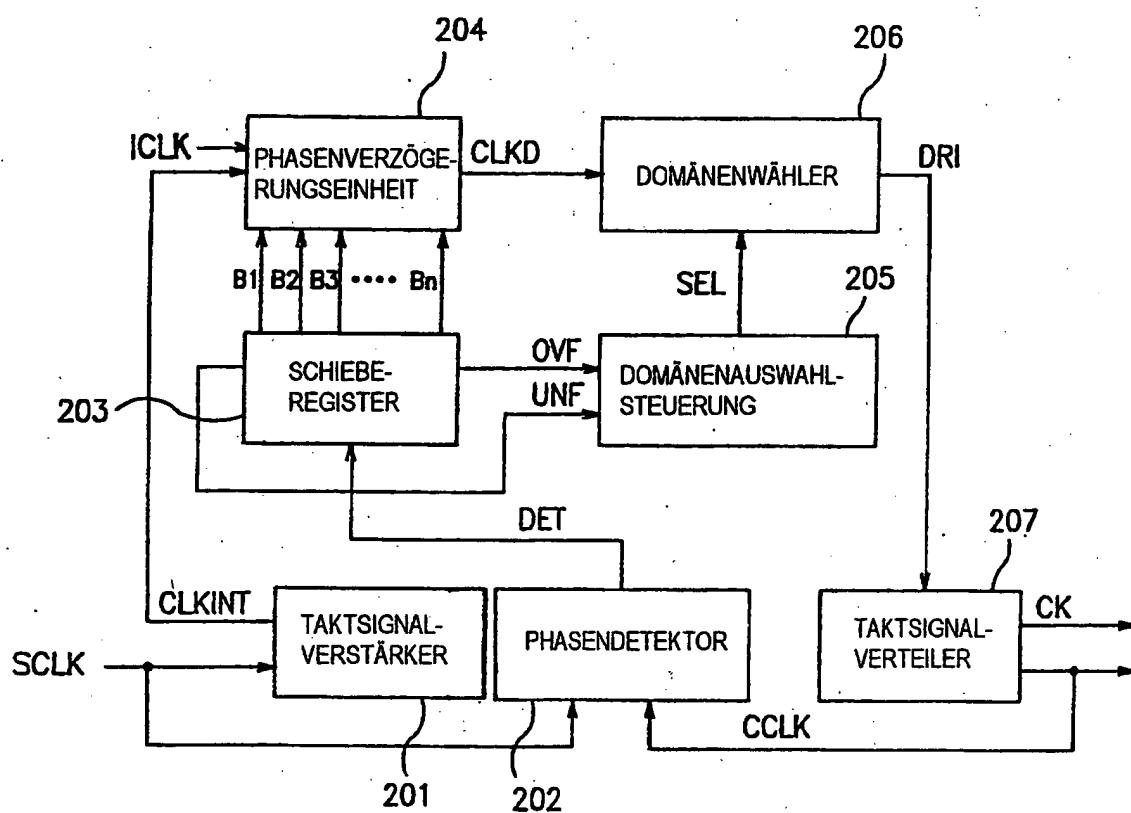


FIG. 4

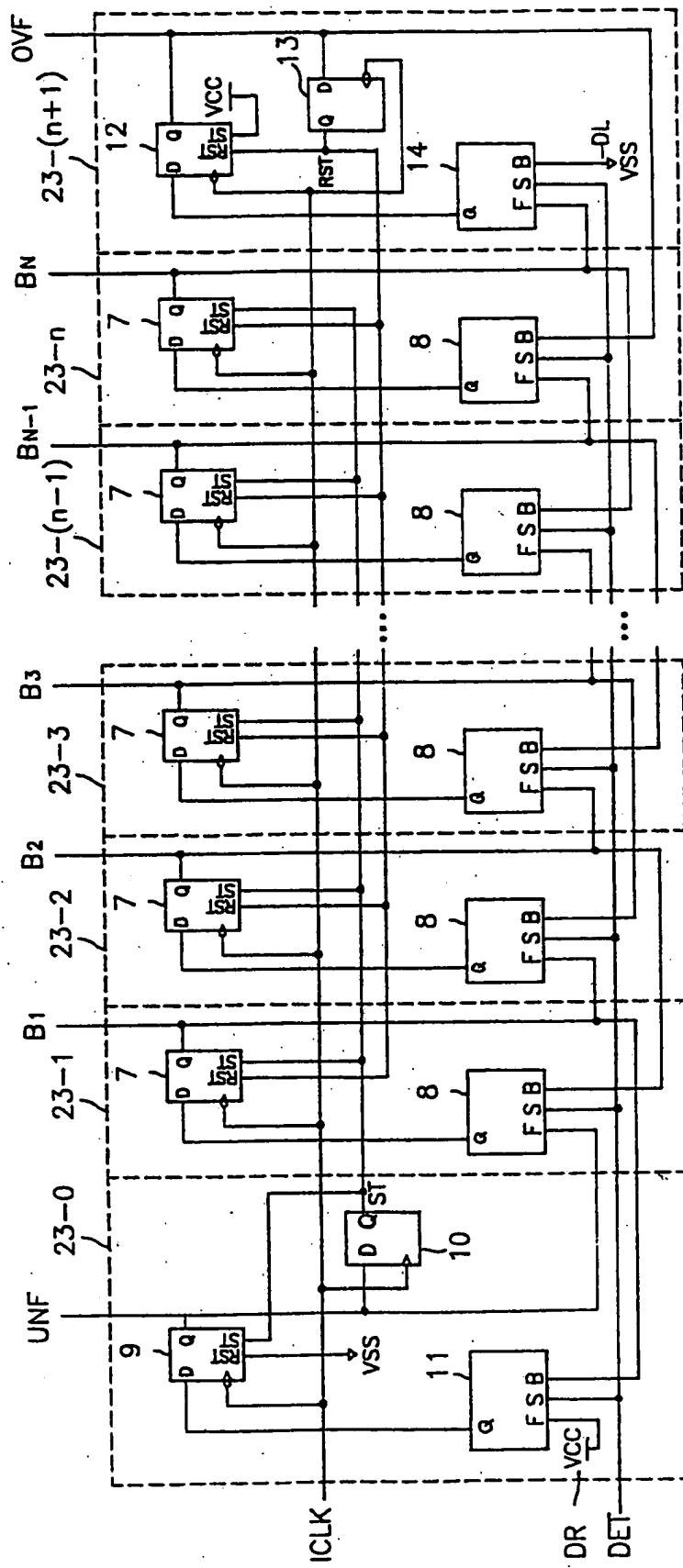


FIG. 5

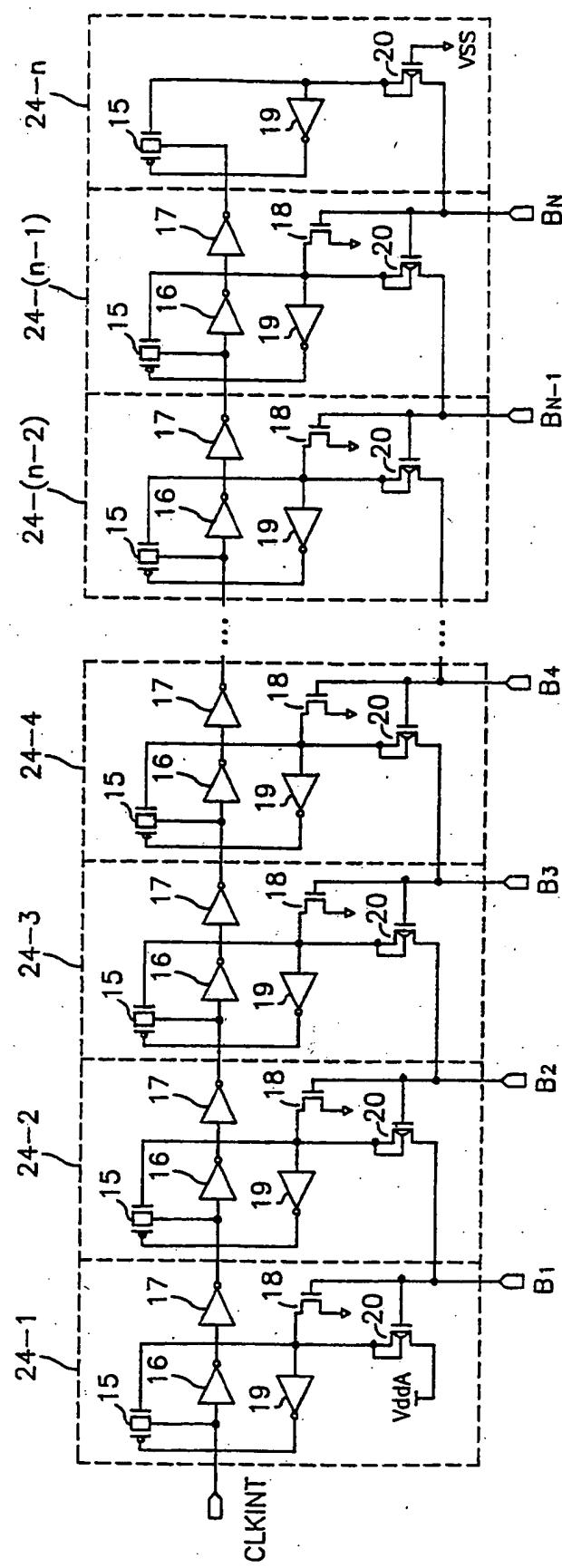


FIG. 6

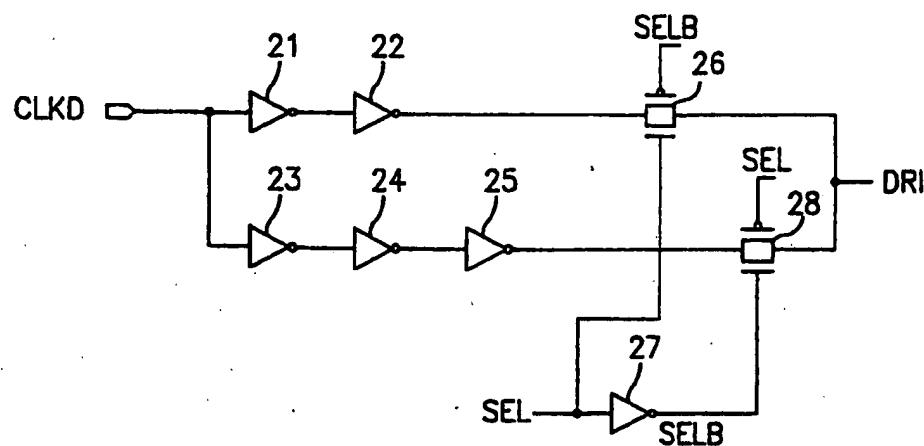
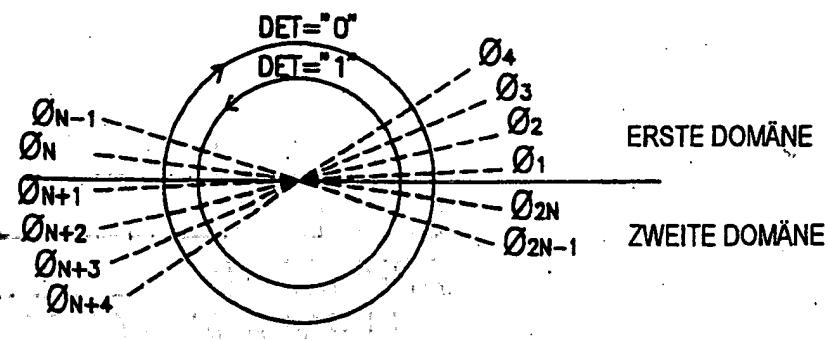
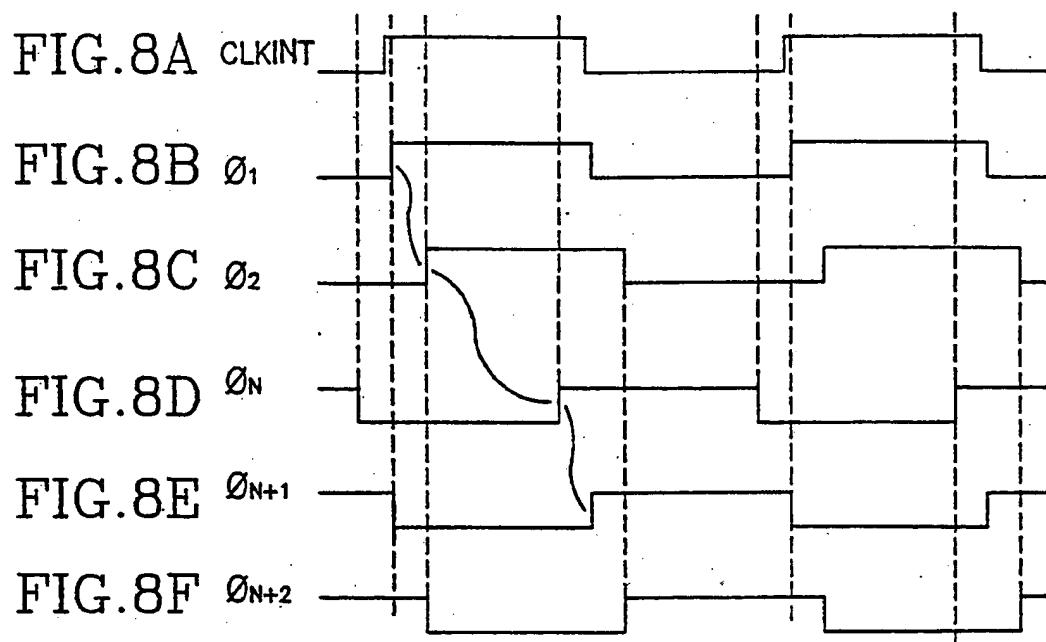


FIG. 7



DOCKET NO: M&N-IT 255SERIAL NO: 09/992, 281APPLICANT: Schrödinger

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100